

摘要: 本文透露了 Teledyne e2v 公司世界首款 K 波段数模转换器 EV12DS460A 背后的设计秘密, 介绍了为提高性能和规避 CMOS 设计限制而引入的超高速制程。解释了如何通过紧凑的单核心数据转换器, 配合仔细斟酌的设计, 让 EV12DS460A 的性能具有突破性提高。最后说明布线和电路简化的细微差别是设计时应考虑的重要因素。

关键词: K 波段; 数模转换器; EV12DS460A; 带宽

中图分类号: TN79+2

文献标识码: B

文章编号: 1006-883X(2018)07-0039-07

收稿日期: 2018-04-25

# 世界第一款 K 波段 DAC 的设计<sup>[1]</sup>

Marc Wingender Romain Pilard Julien Duvernay

Teledyne e2v 公司, 美国

## 一、概述

微波系统设计人员一直在追求更高的性能和更高的工作带宽。简化设计、降低功耗、尺寸、重量同样是需要考虑的问题。

超宽带数模转换器 (Ultra-wide Bandwidth Digital-to-Analog Converter, UWB DAC) 能极大地简化多通道传输系统的设计<sup>[2]</sup>, 多年来, 利用这些特性开发的器件不计其数。但是, 没有任何一款器件具有 Teledyne e2v 公司的 DAC EV12DS460A 这样的高性能, 这款最新开发的新型 DAC 的带宽甚至跨越了高达微波 K 波段 26.5GHz 的巨大的频谱范围。

在 2016 年的欧洲微波会议 European Microwave Conference (EuMC) 上涌现了一些关于单片式微波集成电路 (Monolithic Microwave Integrated Circuit, MMIC) 的初步想法。早期的技术信息表明, 这样的产品能达到 X 波段 (8GHz~12GHz) 的性能。而宽带测试表明, EV12DS460A 的性能远不止如此, 它可以工作在 8 个奈奎斯特区域, 底噪极低, 杂散极少, 使人们窥见在不远的将来, 软件定义微波系统 (Software-defined Microwave System, SDeMS) 成为现实的可能性。但是要实现这一目的, 有两个重要的问题需回答: 使用什么技术达到如此高的性能? EV12DS460A 的测

试结果如何?

本文将从决定 DAC 性能的两个要素——基本架构的选择和处理技术速度的角度出发, 展示如何通过规避 CMOS 的设计限制和引入新的超高速制程实现强大的数模转换能力, 以及如何使用紧凑的单核心数模转换器配合仔细斟酌的电路设计, 实现性能的突破, 并将看到布线和电路简化的细微差别是设计时应考虑的重要因素。

## 二、高层级架构设计

绝大多数的高速 DAC 都采用交织 DAC 的方式, 即使用时间交错的多个核心来提高采样率。但是, 这种方案在还原输出信号时会遇到问题, 其无杂散动态范围 (Spurious Free Dynamic Range, SFDR) 性能很差, 难以避免产生信号杂散, 并由此导致性能下降, 所以, 我们使用了分割式架构设计这款 DAC。

### 1、分割式设计

基本的 DAC 设计, 可简单理解成一系列的二进制权重电流源被连接到一个加法放大器, 每个“2 次方”元素使能与否取决于相关的比特位置。这种设计的优点在于实现简单, 只需有限的元素 (1 个 / bit)。但实际上, 要线性放大超过 8bit 的数据源的难度极大。

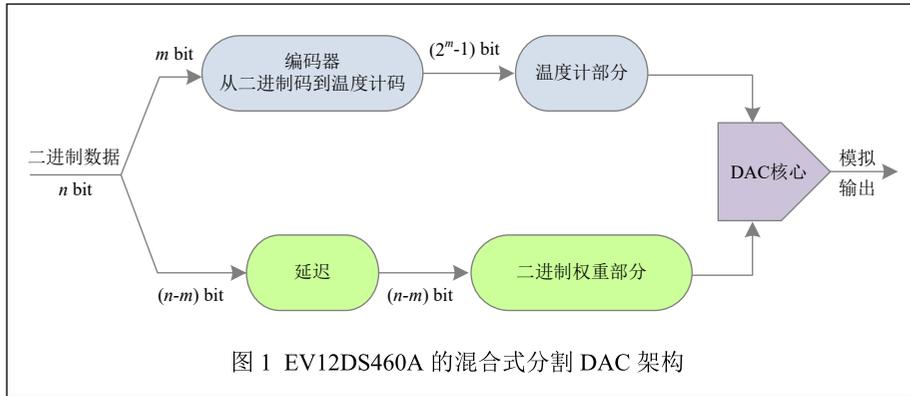


图 1 EV12DS460A 的混合式分割 DAC 架构

从架构上来说，有一个简单的方法实现单核设计。通过采用一种混合式分割设计（如图 1），分立的 DAC 把转换任务分成一个 mbit 的编码单元和一个 2 级 (n-m) bit 二进制权重单元，处理 LSB 精度。编码过程需要一些时间延迟，在此之后，上述两个单元的输出被综合成最终的多比特转换结果。

如上文所述，要实现超过 8bit 的线性度难度极大，但是通过把多个比特的转换分割成 MSB 和 LSB 单元，则能够大大降低核心的复杂度。通过仔细的设计，可以从同一个开关、电阻和电流源建立编码单元和二进制权重单元。

### 2、简单的单核设计

任何转换器设计的起点是保证优秀的静态精度。在混合式分割设计中，精度由二进制权重 LSB 单元的误差决定。

设计的目标是提高 SFDR 并且规避校准操作，达到优于 0.5LSB 的性能，可考虑如下三种 DAC 配置方式：

- (1) 2bit 编码器（3 段）+10bit 权重段 =13 段；
- (2) 3bit 编码器（7 段）+9bit 权重段 =16 段；
- (3) 4bit 编码器（15 段）+8bit 权重段 =23 段。

初步分析表明，第 1 种配置是最佳的选择，它的段数最少，因此核心区域最小，但静态精度较差。要理解这一点，请考虑 12bit 量化器能输出满幅 1V 峰峰值，表明 LSB 量化电压是 244μV（1Vp-p/4096）。模拟实验表明 9bit 权重段的匹配是 125μV，这比 12bit 0.5LSB 的性能好 2 倍，保证单片 DAC 的工作。但是，因为权重选项是 10bit，无法进一步提高匹配的性能，

125μV 是物理性能的极限，所以第 1 种配置是不可取的。模拟实验也表明，第 3 种配置同样不可取，因为其对时钟缓冲的动态载荷过大。所以，我们按照第 2 种方案配置 DAC。

### 三、处理技术

规避 CMOS 制程限制

的设计使得转换路径更容易实现。这种方案利用英飞凌 J. Böck 等<sup>[3]</sup>的异质结硅锗双极型工艺实现较高的原始速度。通过引入 NPN 双极型晶体管内在固有的碳元素，B7HF200 工艺允许实现极薄的高度掺杂基极。高转化速度（200GHz Ft）和低阻抗基极是实现 DAC 高性能的两个最重要的因素。这种工艺已经在高速和毫米波应用中应用了超过 10 年，可用于多种固态微波器件。表 1 为 B7HF200 晶体管类型的比较。

使用四层铜能够进一步提高 B7HF200 的速度，适用于低电流密度的连接。铜帮助降低寄生电流，此寄生电流是高速设计的梦魇。

表 1 B7HF200 晶体管类型的比较

参数	UHS NPN	HS NPN	HV NPN
截止频率 $f_T$ (GHz)	200	180	40
最大晶振频率 $f_{max}$ (GHz)	250	250	120
集电极电容 $C_{bc}$ (fF)	5.8	5.2	3.5
击穿电压 $BV_{CE0}$ (V)	1.6	1.7	4.0
击穿电压 $BV_{CB0}$ (V)	5.8	6.5	15

### 四、DAC 设计的秘密

EV12DS460A 的卓越性能并不是凭空得来的。自 2011 年 Teledyne e2v 推出速度较慢的 12bit 产品<sup>[4]</sup>以来，这种架构已经经过了数代进化，即使是早期产品带宽也达到了 1.5GHz。

而在 EV12DS460A 的设计过程中，重点在于 3 个通用设计原则的使用：驱动量化器的动态载荷，减少线长；保证工作稳定；输出脉冲整形，减少畸变，提高性能。

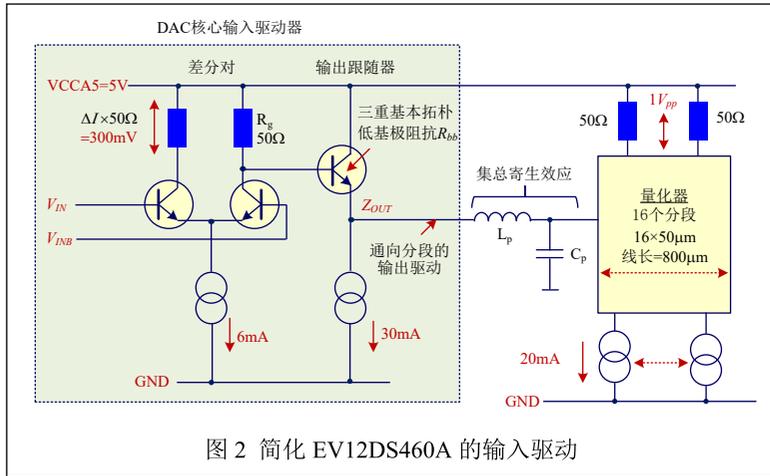


图2 简化 EV12DS460A 的输入驱动

### 1、驱动量化器的动态载荷

量化器的设计，部分是可以重用的，如图2所示，右边是包含16个段的量化器，而左边是采样时钟系统的模拟电路。将它们组合起来，连接两个电路的桥梁是芯片布线产生的 $L_p$ 和 $C_p$ 。

为了支持6Gps~7Gps的采样率，时钟源的抖动要低，瞬变时间要短。当6Gps采样率时，时钟周期只有166ps。保证干净、快速的瞬变是确保快速量化和采样的重中之重。但是，在这个设计中，相对高的量化器满量程电流被设置成20mA。为了快速驱动，需要一个复杂的驱动器，包含差分对和输出电路，其输出阻抗非常低。

对于这个驱动器电路，输出阻抗 $Z_{out}$ 可以表示为：

$$Z_{out} = \frac{1}{g_m} + R_{bb} + R_g \quad (1)$$

其中， $g_m$ —晶体管跨导（ $1/g_m=1.25\Omega$ ）；

$R_{bb}$ —输出阻抗；

$R_g$ —差分对的输出阻抗；

$Beta(f)$ —三极管的动态电流增益和频率之间的关系。

考虑到B7HF200工艺的指标（截止频率 $f_T=200\text{GHz}$ ），20GHz时的电流增益 $Beta(f)=10$ 。同时，极低的双极型晶体管的固有基极阻抗使 $R_{bb}=25\Omega$ 。

$R_g$ 也应当是越小越好，但是其不能太小，以避免过多地增大偏置电流，导致功耗变大，大约 $50\Omega$ 是比较合适的取值。

最后，初步估算的输出阻抗是： $Z_{out}=(1.25+25+50)/10\approx 7.5(\Omega)$ 。而低输出阻抗是器件快速工作的关键。

为了维持输出缓冲的300mV的脉冲幅度，需要用300mV驱动 $50\Omega$ 的终端（ $300\text{mV}/50\Omega=6\text{mA}$ ）。 $R_g$ 的进一步优化会略微改善阻抗，但其代价是更高的功耗，将 $R_g$ 减半，偏置电流会上升到12mA。

2、减少线长，保证DAC的稳定性  
下面将讨论线长的重要性的它对高速设计的寄生效应的影响。

上述设计的每一个量化器段都只有 $50\mu\text{m}$ 宽，所以16段的总信号线长是 $16\times 50\mu\text{m}=800\mu\text{m}$ ，减少线长是非常有用的。

EV12DS460A的全局时间常量与下面三个因素有关：

(1) 动态负载电容 $C_L\approx 0.5\text{pF}$ ；

$$C_L = g_m T_f = \frac{\Delta I}{\Delta V} \cdot T_f \approx \frac{20\text{mA}}{25\text{mV}} \times 0.8\text{ps} = 0.64\text{pF}$$

这里为简化运算取值0.5pF。

(2) 金属信号线的被动寄生电容 $C_p\approx 0.5\text{pF}$ ；

(3) 金属信号线的被动寄生电感 $L_p\approx 50\text{pH}$ 。

在最坏的情况下，全局时间常量 $\Sigma T$ 为：

$$\begin{aligned} \Sigma T &= Z_{out} C_L + Z_{out} C_p + \frac{L_p}{Z_{out}} \\ &= 7.5\Omega \times 0.5\text{pF} + 7.5\Omega \times 0.5\text{pF} + \frac{50\text{pH}}{7.5\Omega} \approx 14\text{ps} \end{aligned} \quad (2)$$

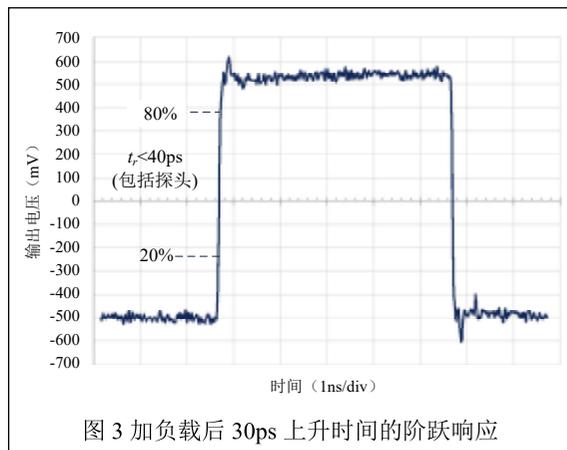


图3 加负载后30ps上升时间的阶跃响应

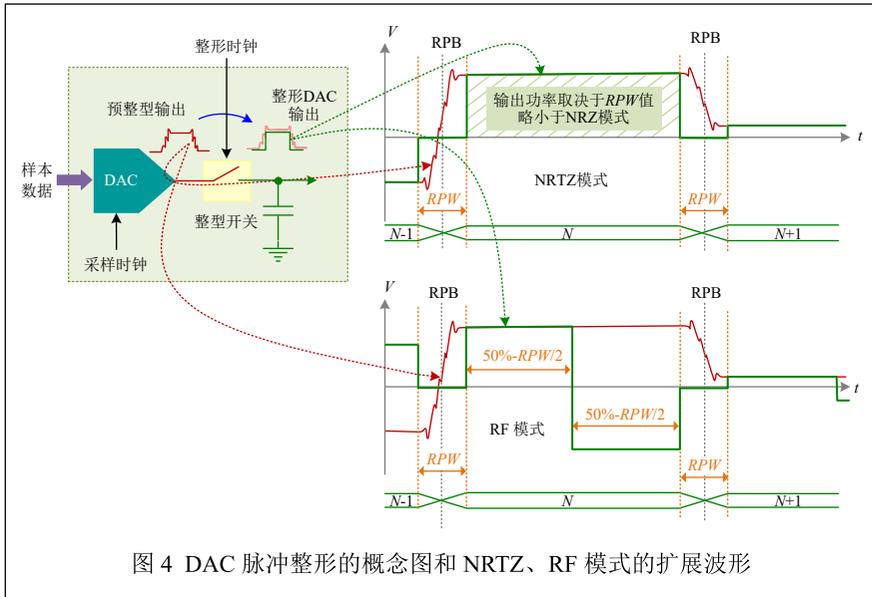


图4 DAC脉冲整形的概念图和NRTZ、RF模式的扩展波形

这个时间常量与DAC数据的35ps上升和下降时间( $t_r$ 、 $t_f$ )有关。而且,在这一层级上, $t_r$ 、 $t_f$ 分别表示少于整个时钟周期(166ps)的20%的时间,其能产生足够快的时钟边沿,支持10GHz的初步带宽估算,达到DAC的设计目标。

在初步的估算之外,我们使用一些特别的技术保证DAC

的动态稳定性。我们实现最大过冲(+4%)和最小回弹(-2%)的性能。B7HF200工艺提供低阻抗的镀铜技术,帮助进一步调节和改善芯片的关键节点,由此产生的优异的性能(纯净的6GHz采样)在图3中以阶跃响应的形式表示。

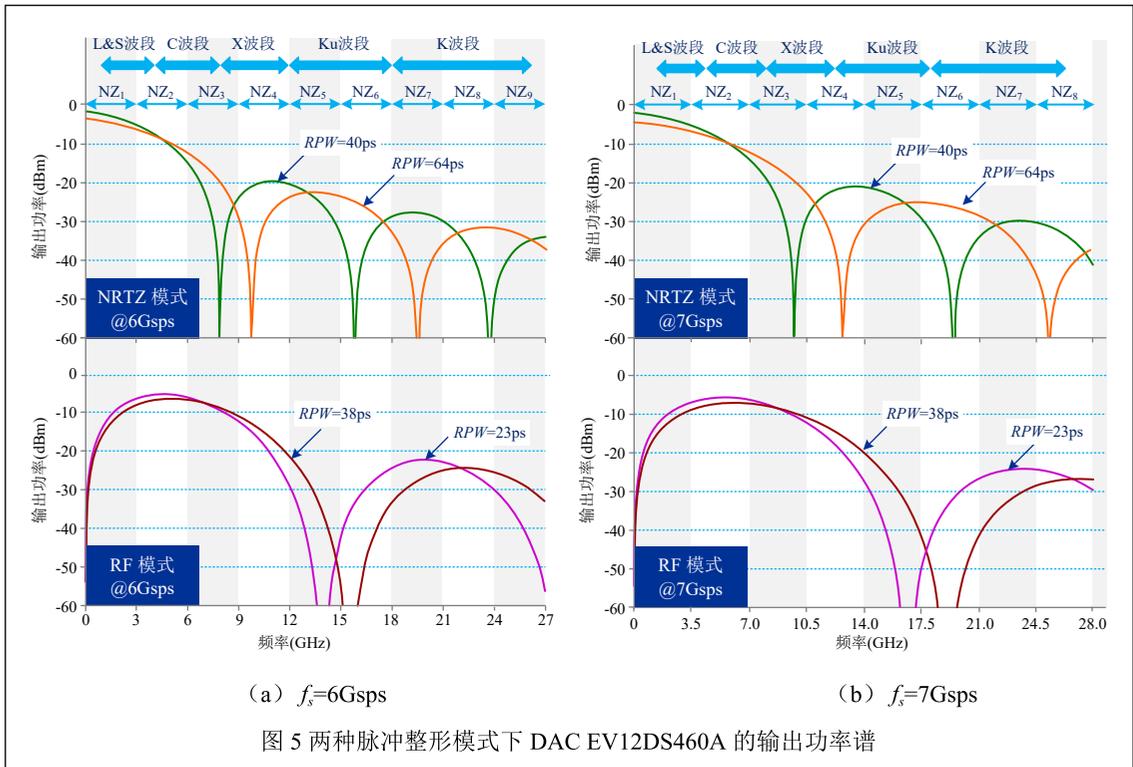
### 3、通过输出脉冲整形提高动态性能

我们提供4种输出脉冲整形模式(NRZ, NRTZ, RTZ, RF)以帮助系统设计人员根据特定的输出频带裁

剪DAC的动态响应性能,从而使设计更加便利。大多数的量化器畸变与开关瞬变有关,任何开关的毛刺都会叠加在最后的输出信号上(图4)。如果能够移除这些毛刺,输出的频谱纯净度将大大提高。

为了实现上述的脉冲整形,我们在每个瞬变环节的边缘之前强制把DAC输出截止为0,可以在NRTZ和RF模式的图中看到输出的波形。脉冲整形通过3线串行接口控制,其中有两个用户可控的参数:整形脉冲宽度(Reshaping Pulse Width, RPW)和整形脉冲定心(Reshaping Pulse Begin, RPB)。如果所有的毛刺都被移除,脉冲中心必然与瞬变边缘的中心一致。注意,这种技术牺牲了少量的输出信号强度(与RPW定义的区域有关)。

特性曲线(图5)表明脉冲整形带来的优势。这些数据展示了两种RPW设置<sup>[2]</sup>时横跨8个奈奎斯特区间的高达27GHz(采样率 $f_s=6\text{Gsp/s}$ ,  $f_s=7\text{Gsp/s}$ )的频谱。注意采样率的提高显著地扩展了典型的SINC( $\sin(x)/x$ )DAC输出特性曲线。



(a)  $f_s=6\text{Gsp/s}$

(b)  $f_s=7\text{Gsp/s}$

图5 两种脉冲整形模式下DAC EV12DS460A的输出功率谱

由于波形整形 ( $H_3$  从  $-57\text{dBm}$  提升到  $-69\text{dBm}$ )，三次谐波的性能提高了  $+12\text{dB}$ ，极大地提高了 DAC 的性能。为了对比，我们在采样率  $f_s=6\text{Gps}$ ， $F_{out}=2940\text{MHz}$  的条件下使用有波形整形 (NRTZ 模式) 和无波形整形 (NRZ 模式) 产生如图 6 所示频谱。在 NRTZ 模式下，波形整形带来的性能提升非常明显。

## 五、实测的性能

输出  $3\text{dB}$  带宽最大  $7\text{GHz}$ ，采样率  $6\text{Gps}$  保证产生  $3\text{GHz}$  的瞬时带宽。有用的输出功率在 X 波段非常明显，见图 7 (a)。曲线表示一个第 4 奈奎斯特区间的  $11950\text{MHz}$  的单音载波，SFDR 为  $50\text{dBc}$ 。这里 4 次谐波主导 SFDR。这个载波频谱是仔细选择的，为了在 X 波段的边沿，使谐波信号更容易被观察到，因为它们以自然的谐波顺序出现。

如果提高载波频率到 K 波段 (图 7 (b))，信号参考设置为在第 8 奈奎斯特区间的  $23950\text{MHz}$ ，2 次谐波主导 SFDR ( $-36.5\text{dBc}$ )。显然，谐波的纯净度有明显提高。

这些图线还包含着其他突出的性能指标。每张图里都展示了中频点的非谐波杂散。这些杂散与 DAC 4:1 输入多路复用器的不完全混合信号抑制有关。这些杂散的峰值在  $-80\text{dBm}$  相当好。DAC 的底噪大约接近  $-110\text{dBm}$ 。

在实验室里使用单音或多音的信号测试数据转换器并不困难。这些测试的结果并不能完全表明 DAC 的性能。当今的数据通信系统在大块带宽上部署复杂的模块，所以我们需要更有效的宽带测试方法。这时噪声功率比 (Noise Power Ratio, NPR) 非常有用。它在一个较宽的带宽上测试 DAC，能表明信号如何包含多个非相干窄带频率，以及它们在被 DAC 混合之时如何互相影响和互相干涉。显然，一款 NPR 指标接近理想  $n\text{-bit}$  器件的

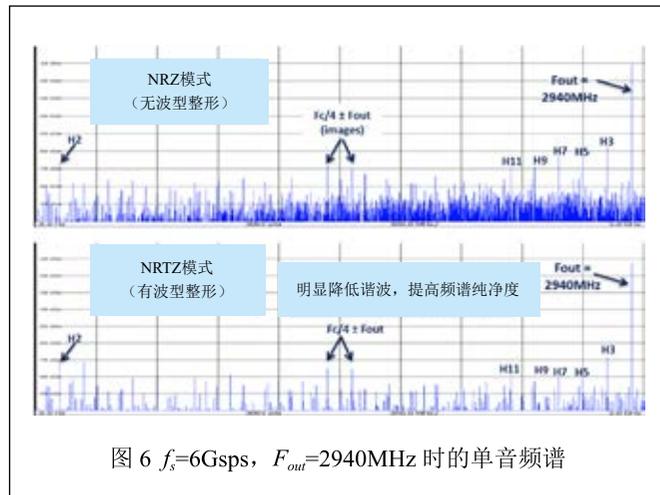
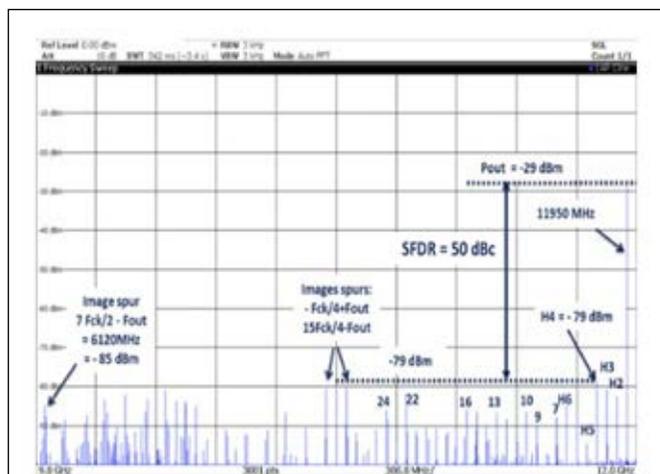
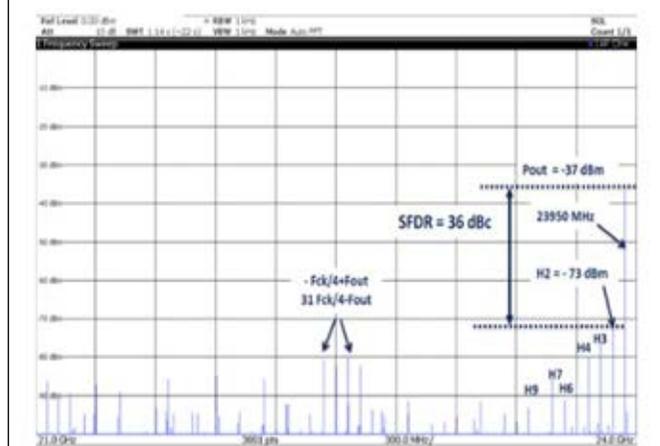


图 6  $f_s=6\text{Gps}$ ， $F_{out}=2940\text{MHz}$  时的单音频谱



(a) 第 4 奈奎斯特区间的  $11950\text{MHz}$  单音载波



(b) 第 8 奈奎斯特区间的  $23950\text{MHz}$  单音载波

图 7  $11950\text{MHz}$  和  $23950\text{MHz}$  处的 SFDR

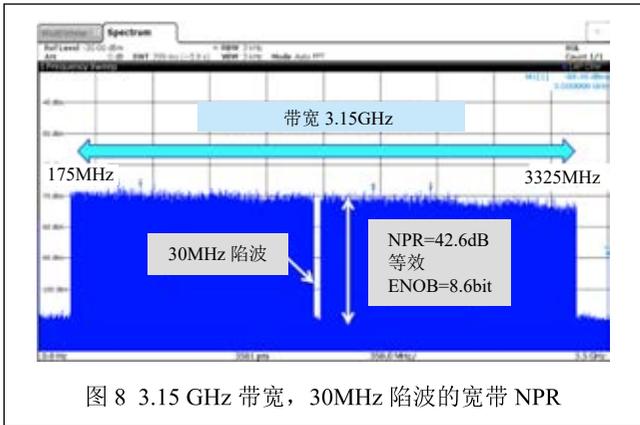


图 8 3.15 GHz 带宽，30MHz 陷波的宽带 NPR

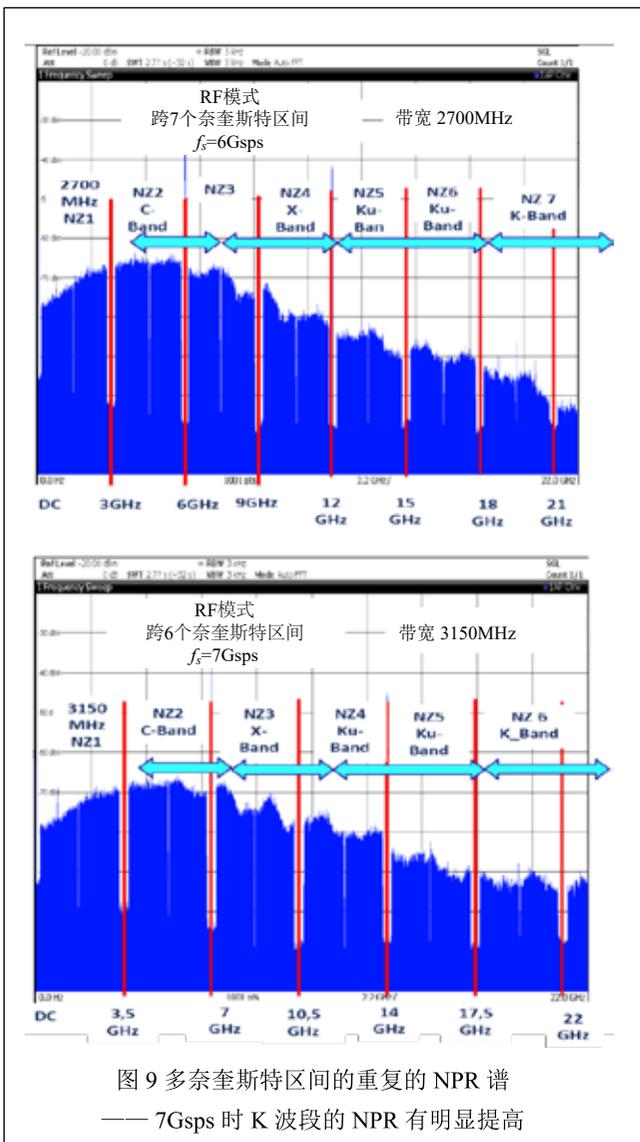


图 9 多奈奎斯特区间的重复的 NPR 谱  
—— 7Gspss 时 K 波段的 NPR 有明显提高

NPR 指标的 DAC 是非常优秀的宽带器件。

NPR 测试通常由一组高斯噪声功率密度的数字谱实现。对这个数字谱在频域使用（数字）陷波滤波器将在感兴趣的带宽内得到一个“安静”的区域。然后把这个数字谱发送给 DAC，NPR 的值通过计算陷波内外的功率密度比的平均值得出。对于一个理想的 DAC，陷波内的信号功率和量化噪声有关。而对于现实的 DAC，量化噪声由热噪声、时钟抖动带来的噪声和通道间交调带来的噪声有关。

EV12DS460A 的宽带 NPR 如图 8 所示。7Gspss 的采样率带来 3.150GHz 的合成带宽，NPR 是 42.6dB，等效的有效位数（Effective Number of Bit, ENOB）为 8.6。注意从 175MHz 一直到 3325MHz，NPR 的平坦度都相当好。

图 9 中的第二个 NPR 特性在 22GHz 的范围内复制了 3.150/2.700GHz 的 NPR 谱，这时 DAC 的采样率为 7Gspss 和 6Gspss，工作模式是 RF 模式。这些图线表明提高采样率带来的优势之一，不仅影响 DAC 产生的最大瞬时带宽，还扩展了高奈奎斯特区间的 SINC 特性和输出功率。

## 六、其他尖端的 DAC

德州仪器最近有一款 14bit 8.9Gspss RF DAC<sup>[5]</sup>，使用 40nm CMOS 工艺，支持 4G LTE 的应用。它的 SFDR 在 8.9Gspss ( $F_{out}=4300\text{MHz}$ ) 时是 50dBc。虽然这款 DAC 可以支持 8.9Gspss 的采样率，但是没有任何超过 4300MHz 的测试数据，而绝大多数的微波频段都超过 4300MHz。

Analog Devices 公司也在开发一款 11/16bit, 12Gspss 的 DAC (AD9161/AD9162)<sup>[6]</sup>，其 RF 模式（也称混合模式）下的采样率能达到 12Gspss。在 RF 模式下，因为每半个时钟周期数据会反向，似乎 DAC 在以 12Gspss 的采样率采样。而对于 RF 模式下的 EV12DS460A（图 4），数据反向并没有被考虑进标称的采样率

(6Gsp/s)。因此, EV12DS460A 和 AD9161/62 的采样率是相同的。这一点也可以由 3GHz 的瞬时带宽证明。

Analog Devices 的器件在前两个奈奎斯特区间的最佳的 SFDR 是 65dBc ( $F_{clock}=5\text{Gsp/s}$ ,  $F_{out}=4000\text{MHz}$ )。但是, 其性能在超过 7500MHz 的位置急剧下降。输出功率在  $F_{out}=7500\text{MHz}$  时只有 -66dBm, 因此它无法在 X 波段和 K 波段很好地工作。

## 七、结语

EV12DS460A 的发布给微波工程师带来一款带宽从 DC 一直到 K 波段频率的宽带 DAC。虽然这款器件并不是唯一的 Gsp/s 级别采样率的 DAC, 但是, 它是第一款合成带宽跨多个奈奎斯特区域, 同时保持优秀的频谱纯度的 DAC, 为全新的毫米波应用开拓了一个激动人心的新领域。

## 参考文献

- [1] Marc Wingender, Romain Pilard, Julien Duvernay. Design secrets behind the world's first K-band DAC [EB/OL]. [https://www.e2v.com/shared/content/resources/File/documents/broadband-data-converters/EV12DS460/Design\\_secrets\\_behind\\_the\\_world's\\_first\\_K-band\\_DAC\\_WP.pdf](https://www.e2v.com/shared/content/resources/File/documents/broadband-data-converters/EV12DS460/Design_secrets_behind_the_world's_first_K-band_DAC_WP.pdf)
- [2] Teledyne e2v. A brief introduction to signal aliasing[EB/OL]. [https://www.e2v.com/shared/content/resources/File/documents/broadband-data-converters/EV12DS460/A\\_brief\\_intro\\_to\\_signal\\_aliasing\\_article.pdf](https://www.e2v.com/shared/content/resources/File/documents/broadband-data-converters/EV12DS460/A_brief_intro_to_signal_aliasing_article.pdf)
- [3] J. Böck, H. Schäfer, K. Aufinger, et, al. SiGe bipolar technology for automotive radar application[A]. In: Proceedings of 2004 Bipolar/BiCmos Circuits and Technology Meeting (BCTM), Montreal, Canada[C]. IEEE, 2004: 265-268.
- [4] François Boré, Marc Wingender, Nicolas Chantier, et, al. 3 GS/s 7GHz BW 12 Bit MuxDAC for Direct Microwave Signal Generation over L, S or C Bands[A]. In: Proceedings of 2011 IEEE International Conference on Microwaves, Communications, Antennas and Electronics Systems(COMCAS 2011), Tel Aviv, Israel[C]. IEEE, 2011:1-8.
- [5] V. Ravinuthula, W. Bright, M. Weaver, et,al. A 14-bit 8.9 GS/s RF DAC in 40nm CMOS achieving >71dBc LTE ACPR at 2.9 GHz[A]. In: Proceedings of 2016 IEEE Symposium on VLSI Circuits, Honolulu, HI, USA[C]. IEEE, 2016:1-2.
- [6] Analog Devices. AD9161/AD9162/AD9163/AD9164

Evaluation Boards[EB/OL]. <https://wiki.analog.com/resources/eval/dpg/eval-ad9162>

## Design of the world's First K-band DAC

Marc Wingender, Romain Pilard, Julien Duvernay  
(Teledyne e2v, USA)

**Abstract:** The design secrets behind the world's first K-band data-analog converter (DAC) EV12DS460A from Teledyne e2v are presented. The reasons why new capabilities can emerge are avoiding established CMOS design principles and applying an ultra-high speed process. It is explained how a compact, single-core quantizer coupled with careful design choices leads to the breakthrough performance of EV12DS460A. Finally, it is shown that the delicate differences between wiring and circuit simplification are important factors to be considered in design.

**Key words:** K band; digital-analog converter(DAC); EV12DS460A; band wide

## 作者简介

Marc Wingender, 微电子学和自动化的工程学位, 在高频器件领域已经工作了超过 33 年, 先后从事用于微波应用 (LNAs 和 PAs) 的 GaAs 器件的早期 RF 测试工作以及 Gsp/s 采样的尖端技术研究, 并发表了多篇关于这个主题的论文。目前担任 Teledyne e2v 公司宽带数据转换器高级设计工程师。

Romain Pilard, 电气工程学博士, 先后从事集成天线及高级 Bulk 和 SOI RF CMOS 工艺的高性能被动器件的开发。目前担任 Teledyne e2v 宽带数据转换器应用工程师。

Julien Duvernay, 欧洲同步加速器实验室博士后, 先后从事 PNP 异质结双极型晶体管、表面和接口物理以及掺砷硅研究以及用于电子和光子应用的 III-V 半导体的特性测试工作。现在 Teledyne e2v 从事宽带数据转换器的特性测试工作。

(本文由 Teledyne e2v 公司提供, 不代表本刊观点)