

基于设计 USB2.0总线的高速数据采集系统设计

注：湖北省自然科学基金资助项目（编号：2005ABA282）

摘要：结合当前电荷耦合器件(CCD)信号高速采集面临的问题和USB总线的突出优点，采用USB2.0接口芯片EZ-USB FX2系列CY7C68013A作为USB控制器，复杂可编程逻辑器件（CPLD）EPM7128S为控制核心，外接高速先进先出（FIFO）存储器及16位高速A/D转换模块，设计实现了一个高速数据采集系统。详细介绍了硬件、软件设计。与传统设计相比，该系统具有采集速度快、采样精度高等特点。

关键词：USB2.0；EZ-USB FX2；数据采集；高速先进先出(FIFO)存储器；复杂可编程逻辑器件(CPLD)

中图分类号：TP274*.2 文献标识码：A 文章编号：1006-883X(2009)04-0042-04

张丹红 潘锋

一、引言

电荷耦合器件（Charge Coupled Device, CCD）是20世纪70年代发展起来的一种新型半导体大规模集成光电器件。由于它在图像信息的摄取、记录方面独具特色,同时又具有体积小、功耗小、分辨率高、灵敏度高、可靠性好等诸多优点，广泛应用于工件尺寸测量、工件表面质量检测及图像传真、摄像机等光电检测和光电成像领域^[1]。

CCD 图像信号的采集与普通视频信号的采集相比，其最大的特点是数据传输速率高，数据量大，所以对 CCD 信号进行高速采集才能将信号数据传送到计算机中。现有 CCD 高速数据采集方案或者结构复杂、开发难度大，或者传输速度慢、无法满足高速数据采集的要求。而通用串行总线 USB 具有连接方便、即插即用、传输速率高、易扩展等优点。

针对现有 CCD 图像数据采集的不足与 USB 总线的上述优点，本文提出了一种基于 USB2.0 总线的高速数据采集系统的设计方法，并从硬件和软件两个方面介绍了其基本的设计思想。

二、数据采集系统硬件设计

1、系统结构和数据流程

本系统采用可编程逻辑

器件(Complex Programmable Logic Device , CPLD)EPM7128S完成整个系统的采样时序与逻辑控制，使用AD8021信号调理、低通滤波、AD7677高速A/D采样，完成CCD信号的放大、调理以及数模转换；以先进先出(First-In-First-Out ,FIFO)存储器SN74V245作为数据高速缓冲器，用于缓存A/D转换后的数据；采用具有微控制

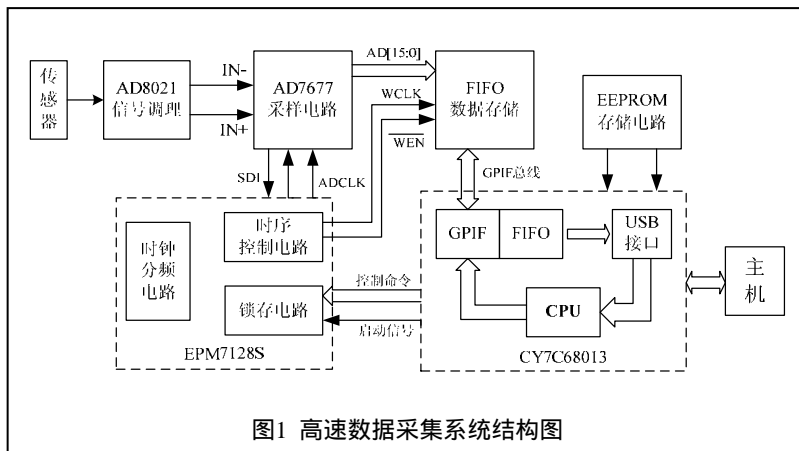


图1 高速数据采集系统结构图

器的USB接口芯片CY7C68013A(以下简称FX2),从而通过USB接口将FIFO存储器中缓存的CCD数据实时地传输到计算机。采集系统包含3个部分:数据采集、数据存储和数据传输。CCD信号高速采集系统结构框图如图1所示。

数据传输过程如下:传感器输出的模拟信号接入信号调理电路,信号调理电路能自动调整增益的大小,对输入的信号在A/D转换量程内进行信号调理;上位机应用程序通过USB总线向FX2发送采集命令,FX2响应计算机请求后,向CPLD发送控制命令,由CPLD控制进行A/D转换,开始CCD信号的采集;当A/D数据转换结束,并在CPLD采集时序控制下将数据顺序写入FIFO存储器,一旦FIFO存储器写入了数据,其标志信号使能,FX2的USB接口便将数据传递给主机。本系统中,数据向主机的传递采用了FX2的自动传输功能,利用端点6作为数据接收端,并定义自动传输的包大小为512个字节。当读取数据满512个字节,将自动打包传递给主机。

2、数据传输电路设计

USB接口芯片采用Cypress公司的FX2系列产品CY7C68013A,可提供高达480Mbps的传输速率。CY7C68013A是一个带增强型MCS51内核和USB接口的单片机,集成了以下特性:串行接口引擎(Serial Interface Engineer, SIE)、USB2.0收发器、4KB FIFO存储器以及通用可编程接口(General Programmable Interface, GPIF)。无须外加微控制器便可实现外设与主机的高速数据传输^[2]。CY7C68013A与外设具有主/从两种接口方式:GPIF和Slave FIFO。

本系统采用GPIF模式,并使用PORTB和PORTD双向FIFO数据线来构成两个FX2端点FIFO(EP2、EP6)的16位数据接口,即EP2与EP6分别对应2KB的内部FIFO存储器;EP2和EP6分别设置为AUTO OUT(自动输出)和AUTO IN(自动输入)模式;端点EP2负责从主机接受采集命令,端点EP6负责传输采样数据至PC机,EP2和EP6均采用批量(BULK)传输方式。

数据传输电路如图2所示。FD[15:0]连接外部FIFO存储器SN74V245的输出数据总线Q[15:0],同时FD[7:0]还要连接控制逻辑电路中CPLD设计的锁存器接口;FX2的IFCLK频率并将其作为外部FIFO存储器的读时钟RCLK,输出频率由FX2的IFCONFIG寄存器在初始化时设定为48MHz, FIFO存储器的写时钟WCLK由CPLD的时钟分频电路分频产生;FX2控制输出端CTL0和CTL1分别连接SN74V245的读使能引脚REN和输出使能引脚OE,而CTL2则作为系统启动信号连

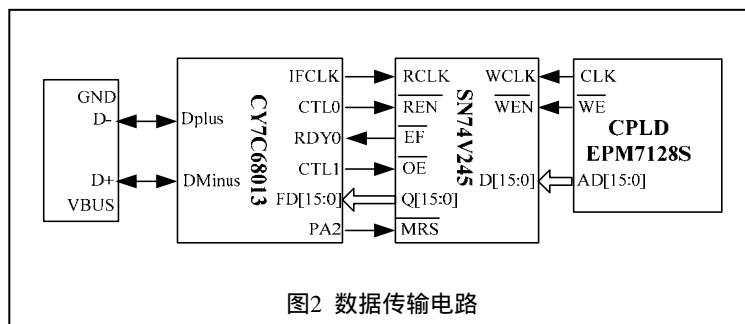


图2 数据传输电路

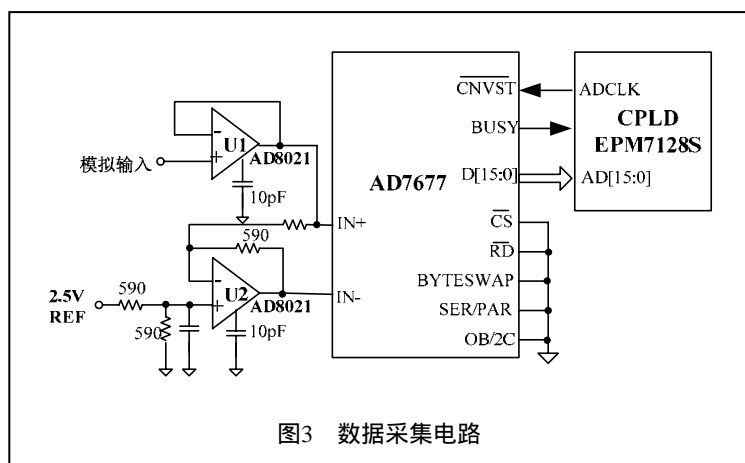


图3 数据采集电路

接CPLD;控制输入端RDY0连接SN74V245的空标志EF,如果外部FIFO存储器为空,则EF为低电平,GPIF使用该标志位来控制读数据。通用I/O引脚PA2连接SN74V245的主复位引脚MRS, FIFO存储器由FX2的PA2在初始化阶段进行复位。

3、数据存储电路设计

本系统选用的FIFO存储器是TI公司的SN74V245。SN74V245是一种高速大容量先进先出存储器件,其最高工作频率为133MHz,容量为4096×18 bit,本文将SN74V245设置成FWFT工作模式。

数据存储过程如下:当REN和OE同时为低电平时,在每个RCLK的上升沿将数据从外部FIFO存储器中读出;CPLD的WE连接SN74V245的写使能引脚WEN,当WEN为低电平时,在每个WCLK的上升沿将数据写入外部FIFO存储器。

4、数据采集电路设计

(1) 信号调理电路设计

调理电路的放大器采用AD公司的一款高速、通用放大器AD8021,非常适合各种增益配置,采用5V单电源供电,用于16bit分辨率系统。主要功能是对CCD单端模拟信号进行增益放大,滤波再转换成差分信号输入到AD采样电路。

(2) A/D采样电路

采用AD公司的具有1MSPS采样频率的16位模数转换芯片AD7677。该芯片采用开关电容式逐次比较结构,其内部自

带采样保持器(SHA)、+2.5V参考电压、差分输入以及并行/串行输出接口。系统中采用其采样速率为1MSPS的“Warp”工作方式,采样区间为-2.5V~+2.5V,整个系统的时间分辨率可达到1 μ s。数据采集电路如图3所示。

该系统设计中,将引脚SER/PAR设置为低电平,采用并行通讯,同时使能片选信号 \overline{CS} 和读使能信号 \overline{RD} 。AD7677利用 \overline{CNVST} 信号控制转换,AD7677的转换信号 \overline{CNVST} 由CPLD提供,其输入时钟周期设置为40MHz。将 \overline{CNVST} 置低电平,时钟信号下降沿触发,A/D开始转换,BUSY变为高电平;A/D转换完毕,BUSY变为低电平, \overline{CNVST} 将变高,使转换结果以16位的方式输出;BUSY信号为低时,该A/D转换器处于等待状态,直到 \overline{CNVST} 再次为低时,则开始新的转换。AD7677的工作时序图如图4所示。

5、CPLD 逻辑时序控制电路

EPM7128S是Altera公司的CPLD-MAX7000S系列器件之一,具有2500个可用门、128个宏单元、8个逻辑阵列块、68个可用I/O,引脚间的逻辑延迟为5ns^[3]。逻辑控制电路由CPLD采用VHDL硬件描述语言编程实现,完成整个系统的时序与逻辑控制,主要包括3部分功能:

- (1)提供AD7677高速A/D转换器的工作时序(图4);
- (2)向FIFO存储器提供写时钟WCLK、写允许信号 \overline{WEN} 以及控制数据的顺利写入;
- (3)负责AD7677的功能设置,在CPLD中设计一个串行口和一个锁存电路,其中串行口用来将寄存器中的数据发送给AD7677进行功能设置,而锁存电路用来存储主机发送过来数据,主机通过CY7C68013A中的EP2端点发送数据。

三、数据采集系统软件设计

USB数据采集系统软件设计分为三部分:采用Keil C51编写USB外设的固件程序、采用Microsoft公司的

WDM(Windows Driver Mode)软件开发驱动程序和采用Visual C++语言编写的Win32主机端应用程序。主机端应用程序通过设备驱动程序与系统USB总线驱动程序接口通信,由系统产生USB数据的传送;固件程序则响应各种来自系统USB标准请求,完成各种数据的交换工作和事件处理。

1、固件程序设计

固件程序是指运行在设备CPU中的固化程序,它采用模块化程序设计。固件程序负责初始化各硬件单元,控制FX2接收并处理USB驱动程序的标准请求、控制FX2接收应用程序的控制指令、重新配置设备及A/D采样控制、通过FX2

存放数据并实时上传至PC等。本系统是将固件程序下载到片外EEPROM中,外设加电后由CY7C68013A通过I²C总线自动将片外EEPROM中的程序下载到片内RAM后执行。固件流程图如图5所示。

2、USB 驱动程序设计

USB驱动程序在整个系统中处于主机端应用程序和设备端固件之间。主要完成添加、设置设备;完成从应用程序到设备的读写命令传输;完成设备停止,电源管理等功能。USB需要通用驱动和下载固件驱动两个程序。通用驱动用于完成外设与用户程序的通信,可使用Cypress公司开发包所提供的已经编好的通用驱动程序ezusb.sys,一般不需要重新编写;下载固件驱动则负责在外设连接USB总线后把特定的固件程序下载到CY7C68013的RAM中使CPU重启,同时模拟断开与USB总线的连接,以完成对外设的重新设置,使主机能够根据新的设置来安装通用驱动程序,重新列举外设为一个新的USB设备。它可以由Cypress公司已经编好的驱动部分和固件程序由DDK编译后生成。在本设计方案中,采用的就是在配置好的辅助开发环境中修改这个通用驱动程序的方式。

3、应用程序设计

主机应用程序采用VC++编写,可以把USB设备当成文件

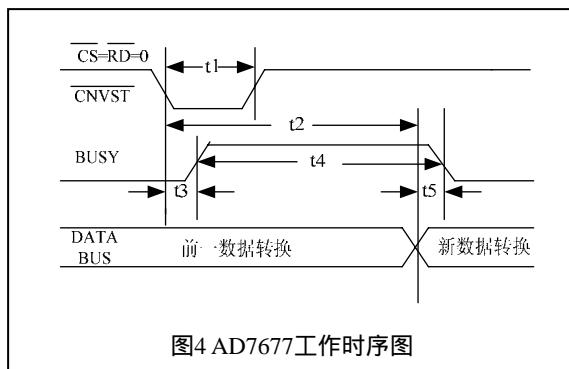


图4 AD7677工作时序图

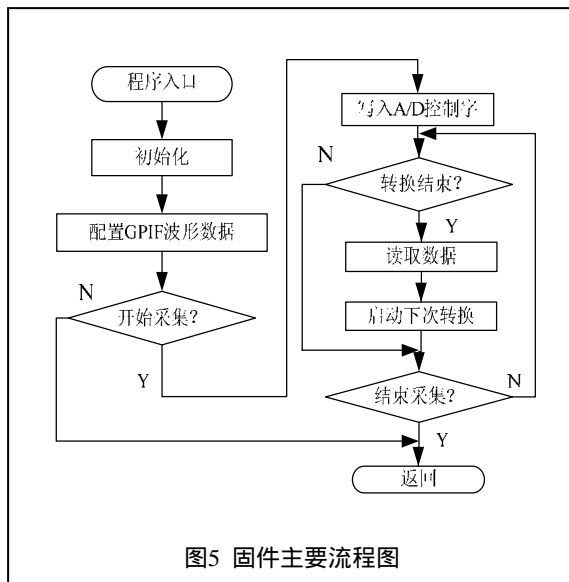


图5 固件主要流程图

来操作 利用 CreateFile 得到 USB 句柄 ,用 ReadFile、WriteFile 进行控制传输和块传输。其功能主要有开启或关闭 USB 设备、检测 USB 设备、设置 USB 数据传输通道、设置 A/D 状态和数据采集端口、实时处理 USB 接口采集的数据、显示并分析数据。

四、结语

本文采用FX2+CPLD介绍了一种基于USB2.0总线技术的高速采集系统,实现CCD图像信号的高速采集。系统采用 GPIF控制模式,数据读写操作以及传输不需要经过CPU干预,通过USB总线自动传输至主机。数据传送同时A/D仍持续采样,保证数据的高速不间断采集。经过实际测试,最高传输速率可达到20 MB/s,采数据传输的速度都达到了预期的目的,取得良好的采集效果。

参考文献

- [1]徐大诚,翁贵荣.线阵CCD数据的高速采集系统[J].传感器技术,2002,21(9):45-48.
- [2]EZ-USB FX2LP™ USB Microcontroller High-Speed USB Peripheral Controller[Z]. Cypress Semiconductor Corporation.2008.2
- [3]MAX 7000 Programmable Logic Device Family Data Sheet [Z]. Altera Corporation, 2005.9
- [4]朱正平,宁百齐,袁洪等.基于 USB2.0 接口芯片 FX2 的高速数据采集板的设计实现[J].微计算机应用,2006,27(3)::328-331.

High-speed data acquisition system based on USB2.0 bus

ZHANG Dan-hong, PAN Feng

(Department of Automation , Wuhan University of Technology , Wuhan, Hubei 430070, China)

Abstract : In view of the problems of the charge coupled device(CCD) data acquisition system and the advantages of USB bus, a high-speed data acquisition system is designed with USB2.0 interface chip EZ-USB FX2 series-CY7C68013A as USB controllers, complex programmable logic device (CPLD) EPM7128S as control core, external high-speed first-in-first out (FIFO) memory and 16 bit high-speed A/D converter. The hardware, software design are introduced deeply. Compared with the traditional design, this system has higher acquisition speed and higher sampling precision.

Keywords : USB2.0; EZ- USB FX2; data acquisition; high speed first-in-first out (FIFO) memory; complex programmable logic device (CPLD)

作者简介:

张丹红:武汉理工大学自动化学院教授,主要从事计算机控制系统与现场总线技术等方面的研究

潘锋:武汉理工大学自动化学院硕士研究生,主要从事计算机控制与信息系统集成方面的研究。

联系方式:武汉理工大学东院自动化学院研 0620 信箱,邮编:430070。

电邮:panfengjoy2003@126.com

电话:15871446843

读者服务卡编号 011